

# SLC/MLC 이중 플래시 저장장치 기술

이성진·김지홍 (서울대학교)

## I. 서론

최근 낸드 플래시 메모리 기반의 차세대 저장장치에 대한 학계와 산업계의 관심이 집중되고 있다. 낸드 플래시 메모리는 반도체의 화학적, 전기적 반응을 이용해 데이터를 저장하기 때문에 하드 디스크와 달리 기계적인 구성요소를 필요로 하지 않으며, 따라서 고성능/저전력 등의 장점을 지닌다. 이러한 우수한 특성을 바탕으로 낸드 플래시 메모리는 모바일 폰과 같은 휴대기기에서부터 랩톱 및 데스크톱 컴퓨터 그리고 엔터프라이즈 서버와 같은 고성능 시스템에 이르기까지 다양한 응용에서 하드 디스크를 대체 할 저장매체로 주목 받고 있다.

일반적으로 낸드 플래시 메모리는 싱글 레벨 셀(Single-Level Cell, 이하 SLC) 플래시와 멀티 레벨 셀(Multi-Level Cell, 이하 MLC) 플래시 두 종류로 구분된다<sup>[1]</sup>. SLC 플래시는 하나의 메모리 셀에 1비트의 정보를 저장하며 빠른 성능 및 우수한 내구성 제공이 가능하다. 반면 MLC 플래시는 하나의 메모리 셀에 2비트 이상의 정보를 저장할 수 있으며, 따라서 SLC 플래시 대비 높은 집적도를 제공할 수 있다. 하지만 성능 및 내구성은 SLC 플래시에 비해 낮은 편이다.

최근 고성능/대용량의 저장장치에 대한 사용자의 요구가 증가함에 SLC 플래시와 MLC 플래시를 함께 사용하는 SLC/MLC 혼합의 이중 저장장치에 대한 관심이 고조되고 있다<sup>[2~4]</sup>. SLC/MLC 이중 저장장치는 SLC 플래시와 MLC 플래시를 하나의 저장장치에 통합하고 그 장점을 취함으로써 고성능/대용량의 저장장치를 구성하는 것에 그 목표를 둔다.

본 고에서는 현재까지 제안된 SLC/MLC 이중 플래시 저장장치 기술에 대하여 살펴보고자 한다. 본 고의 구성은 아래와 같다. 먼저 제 II장에서는 이해를 돕기 위해 낸드 플래시 메모리의 전반적인 개요에 대해서 알아보고, SLC 플래시와 MLC 플래시의 차이점에 대하여 세부적으로 설명하도록 한다. 제 III장에서는 현재까지 제안된 다양한 이중 플래시 저장장치 기술의 전반적인 구조와 함께 이와 관련된 핵심적인 소프트웨어 기술에 대하여 언급한다. 마지막으로 제 IV장에서는 요약 및 결론을 내리도록 한다.

## II. 낸드 플래시 메모리 개요

낸드 플래시 메모리는 다수의 블록으로 구성

되어 있으며, 각 블록은 역시 다수의 페이지의 집합으로 이루어져 있다. 일반적으로 각 페이지의 크기는 512B에서 4KB 사이이며, 하나의 블록은 4개에서 128개 사이의 페이지들로 구성되어 있다. 낸드 플래시 메모리에서 각 페이지는 읽기와 쓰기 연산의 단위이며, 반면 블록은 삭제 연산의 단위이다. 낸드 플래시 메모리는 기본적으로 덮어 쓰기 연산을 지원하지 않는다. 따라서 특정 데이터를 갱신하기 위해서는 반드시 해당 데이터가 속한 블록을 삭제해야 한다. 더욱이 각 플래시 블록 별 삭제 횟수는 10,000~100,000회로 제한이 되어 있다.

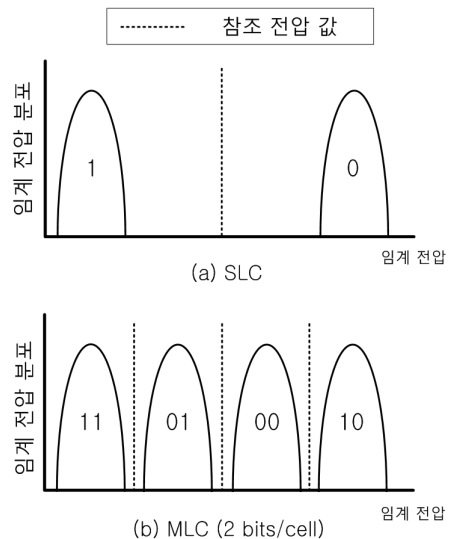
DRAM 및 SRAM과 같은 다른 메모리 소자와 마찬가지로, 낸드 플래시 메모리 역시 데이터 저장의 최소 단위인 메모리 셀의 집합으로 구성되어 있다. 여기서 각 메모리 셀은 하나의 플로팅 게이트 트랜지스터(floating gate transistor)로 구성되어 있으며, 플로팅 게이트에 저장되는 전자(electron)의 양에 의해 저장된 임계 전압(threshold voltage)이 결정된다. 결국 메모리 셀에 저장된 논리 값(logical value)은 임계 전압 값에 의해 표현되는 셀의 상태(state)에 따라 해석되게 된다.

플로팅 게이트에 저장된 전하는 전원이 차단된 후에도 계속 유지되며, 이러한 이유로 플래시 메모리는 비휘발성의 특징을 가지게 된다. 또한 SRAM 혹은 DRAM과 달리 하나의 메모리 셀을 구성하기 위해 하나의 트랜지스터만이 필요하기 때문에 다른 메모리 소자에 비해 대용량화가 유리하다. 하지만 플로팅 게이트에 적용 가능한 전하 조절 횟수가 제한되어 있으므로 메모리 셀의 전반적인 수명은 다른 메모리 소자에 비해 다소 낮은 편이다.

SLC 플래시의 메모리 셀은 두 개의 상태만을

가지며, 따라서 1 비트의 정보 저장이 가능하다. <그림 1>(a)는 임계 전압에 의해서 어떻게 해당 비트 값이 결정되는지를 보여주고 있다. 만약 임계 전압이 참조 전압(reference voltage) 보다 작다면, 해당 셀은 ‘논리 값 1’을 저장하고 있는 것으로 해석되며, 그렇지 않은 경우는 ‘논리 값 0’을 저장하고 있다고 판단된다. ‘논리 값 1’에서 ‘논리 값 0’으로의 변경은 쓰기 연산에 의해 이루어지며, ‘논리 값 0’에서 ‘논리 값 1’로의 변환은 삭제 연산에 의해서 수행된다.

만약 플래시 메모리가 두 개 이상의 상태를 저장할 수 있는 셀로 구성되어 있다면, 이를 MLC 플래시라 부르며, 두 개 혹은 그 이상의 비트 정보의 기록이 가능하다. <그림 1>(b)는 2 비트 MLC 플래시의 예를 보여주고 있다. ‘11’, ‘01’, ‘00’, ‘10’ 총 네 개의 상태 표현이 가능하며, 따라서 총 2비트의 데이터 저장이 가능하다. SLC 플래시와 비슷하게 삭제 연산에 의해 모든 논리 값은 ‘11’ 상태가 되며, 쓰기 연산을 통하여 ‘01’,



<그림 1> SLC와 MLC 플래시의 임계 전압(threshold voltage) 분포

〈표 1〉 SLC 플래시와 MLC 플래시의 특징 비교  
(√ 표기가 되어있는 쪽이 우수함)

	SLC	MLC
집적도	낮음	높음(√)
비트 당 가격	높음	낮음(√)
성능	높음(√)	낮음
내구성	높음(√)	낮음

‘00’, ‘10’ 상태로의 이동이 이루어진다.

이와 같이 MLC 플래시는 SLC 플래시 보다 우수한 집적도를 보여준다는 장점을 가지고 있다. 하지만 각 상태 간의 전압 차이가 상대적으로 좁기 때문에 보다 정밀한 전하 배치 (charge placement) 및 전하 판별 (charge sensing) 과정을 요구되며, 이는 결국 낮은 성능의 원인이 되고 있다.

〈표 1〉은 SLC와 플래시와 MLC 플래시의 장 단점을 요약 비교해주고 있다.

### III. 이종 플래시 저장장치 기술

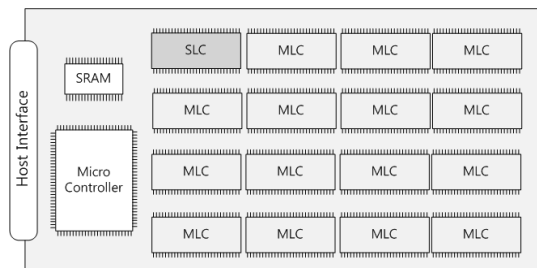
본 절에서는 현재까지 제안된 SLC/MLC 이종 플래시 저장장치 기술에 대하여 소개하도록 한다. 이미 언급하였듯이, 이종 플래시 저장장치 기술의 목표는 고성능의 SLC 플래시와 대용량의 MLC 플래시의 장점을 함께 활용하는데 있다. 현재까지 이를 위해 크게 세 가지 기술이 제안되었다. 첫 번째는 SLC/MLC 두 종류의 칩을 동일한 저장장치 내에서 함께 사용하는 방식이며<sup>[2]</sup>, 두 번째는 플래시 칩 내에 각 셀을 SLC 혹은 MLC로 제어할 수 있도록 제어 로직을 삽입한 후 이를 활용하는 방식이다<sup>[3]</sup>. 마지막은 MLC 칩의 융통성 있는 셀 프로그래밍 방식(Flexible Cell Programming)을 활용하는 접근이다<sup>[4]</sup>.

본 고는 상기 세 가지 방식을 대상으로, 각 기술 별 전체적인 저장장치 구조 및 그 장단점에 대하여 논의할 것이다. 이후 실제 저장장치의 성능 및 용량에 큰 영향을 미치는 소프트웨어 기술에 대하여 언급을 하도록 한다.

#### 1. SLC/MLC 이질적인 칩을 활용한 접근

SLC/MLC 이질적인 칩을 활용한 이종 저장장치는 값이 비싼 SLC 칩을 소수만 활용하여 일종의 캐시로 사용하고 상대적으로 저렴한 MLC 칩을 다수 사용함으로써 고성능/대용량의 저장장치를 구성하는 접근이다<sup>[2]</sup>.

〈그림 2〉는 SLC/MLC 이질적인 칩을 사용한 플래시 저장장치의 구조를 보여주고 있다. 본 예에서는 저장장치 내에 1개의 SLC 칩이 존재하고 나머지 칩들은 모두 MLC로 구성되어 있다. 호스트 시스템에서 데이터 읽기/혹은 쓰기 명령이 요청될 경우, 플래시 저장장치는 실제 하드 디스크와 같이 SATA 등의 인터페이스를 통하여 명령을 받은 후, 이를 마이크로 컨트롤러에 전달한다. 마이크로 컨트롤러 내에서 수행되는 플래시 변환 계층 (Flash Translation Layer, 이하 FTL)은 호스트의 논리 주소를 플래시의 물리 주소로 변환한 후 해당 데이터를 플래시로부터 읽어 호스트에 전달하거나 혹은 요청된 데이터를



〈그림 2〉 SLC/MLC 이질적인 칩을 활용한 접근

플래시에 기록하는 역할을 한다. SRAM은 호스트에서 요청된 논리 주소에 대응되는 플래시의 물리 주소 정보가 저장되어 있다.

본 접근 방식에서 가장 중요한 역할을 담당하는 것은 마이크로 컨트롤러 내에서 수행되는 FTL이다. FTL은 크게 요청된 데이터를 어느 칩에 저장 할지 결정하고, SLC 칩과 MLC 칩의 상이한 마모도를 균등하게 관리하며, 또한 SLC 플래시 혹은 MLC 플래시를 위한 적합한 주소 사상 방식을 제공한다. 각 기능별 세부 내용은 아래와 같다.

- 데이터 할당 기법 (Data Allocation Policy):

데이터 할당 기법은 요청된 데이터를 SLC 칩과 MLC 칩 중 어느 영역에 기록할지를 결정한다. 현재까지 제안된 가장 일반적인 방식은 빈번하게 기록되는 데이터를 SLC 칩에 기록하고, 용량이 크고 자주 기록되지 않는 데이터는 MLC 칩에 기록하는 것이다. 본 방식의 장점은 빈번하게 기록되는 데이터를 성능이 우수한 SLC에 저장하여 전반적인 저장장치의 응답 속도를 개선시킬 뿐만 아니라 용량이 큰 데이터를 MLC에 기록함으로써 전체적인 저장장치의 용량을 증가시킬 수 있다는데 있다.

- 마모도 관리 기법 (Wear-leveling Policy):

마모도 관리 기법은 SLC 플래시와 MLC 플래시의 상이한 삭제 횟수를 균등하게 유지시켜주는 역할을 수행한다. SLC 플래시는 일반적으로 약 100,000회의 블록 삭제가 가능한 반면, MLC 플래시는 약 10,000회의 블록 삭제가 가능하다. 만약 SLC 플래시에 너무 많은 데이터가 기록되어 완전히 마모될 경우 저장장치의 성능이 급격히 감소될 수밖에 없다. 반면 MLC 플래시가 너

무 빨리 마모될 경우 저장장치의 공간이 급격히 감소될 것이다. 이러한 문제를 막기 위해 SLC 블록과 MLC 블록의 마모율이 서로 비슷하게 유지되도록 각 영역에 기록되는 데이터의 양을 조절하는 방식이 제안되었다. 여기서 마모율이란 블록 별 평균 삭제 횟수를 최대 블록 삭제 횟수로 나눈 값을 말한다. 만약 SLC 플래시의 평균 마모율이 MLC 플래시에 비해 높을 경우 보다 많은 데이터를 MLC 플래시에 기록하여 각 플래시 간의 마모율을 유사하게 유지시킬 수 있다.

- 주소 사상 및 가비지 컬렉션 기법 (Address Translation and Garbage Collection Policy):

SLC 플래시와 MLC 플래시에 기록되는 데이터의 패턴이 매우 상이하기 때문에 각 플래시 별로 보다 최적화된 주소 사상 기법 및 가비지 컬렉션 기법 역시 요구 된다. SLC 플래시의 경우 지역성이 높은 작은 크기의 데이터가 주로 기록되기 때문에 작은 맵핑 단위를 기반으로 한 주소 사상과, LRU 방식의 가비지 컬렉션 기법이 사용된다. 반면 MLC 플래시는 큰 크기의 데이터가 낮은 빈도로 기록되므로 블록 이상 단위의 맵핑 단위를 활용하며, 따라서 데이터가 갱신될 때 마다 오래된 데이터를 저장하고 있는 블록에 대하여 가비지 컬렉션을 수행하는 방식이 사용된다.

지금까지 소개한 SLC/MLC 이질적인 칩을 활용한 접근 방식은 SLC 플래시로만 구성된 경우에 비해 큰 저장공간 제공이 가능하고, 반면 MLC 플래시로만 구성된 경우에 비해 우수한 성능을 제공한다는 측면에서 장점을 지닌다. 하지만 이질적인 칩을 하나의 시스템에 장착해야만 하기 때문에 시스템 제작 시 높은 비용을 요구한다는 단점이 있으며, 아울러 한번 제작된 저장장

치의 영역별 크기를 변경하기 어렵다는 한계점 역시도 가지고 있다.

## 2. SLC/MLC 통합된 칩을 활용한 접근

이러한 한계점을 극복하기 위하여 SLC/MLC가 동일한 칩 내에 통합된 새로운 접근 방식이 주목 받고 있다. SLC/MLC 통합된 칩을 활용한 접근 방식은 하나의 칩 내에 각 메모리 셀을 SLC 혹은 MLC로 선택적으로 제어할 수 있는 제어 로직을 삽입함으로써 SLC 플래시와 MLC 플래시의 장점을 활용할 수 있도록 하는 방식이다. 특히 본 방식은 시스템 설계 단계에서 SLC 영역과 MLC 영역의 크기를 동적으로 변경할 수 있도록 지원하므로 시스템 설계측면에서 높은 융통성을 제공한다는 장점을 가지고 있다. 삼성전자의 Flex-OneNAND와 도시바의 mobileLBA-NAND가 이러한 기능을 지원하는 대표적인 플래시 칩이다 [5,6].

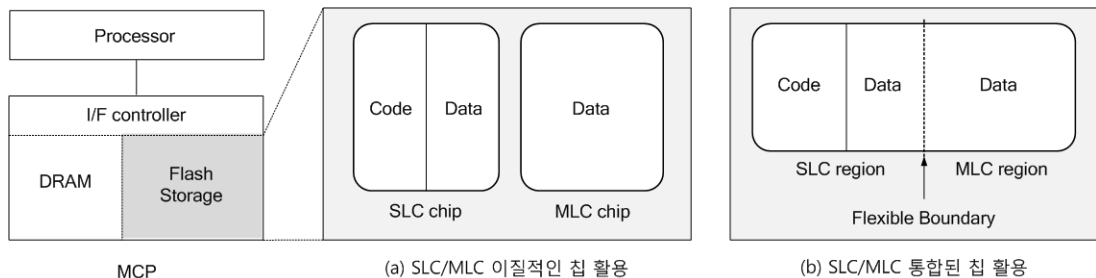
<그림 3>은 휴대폰과 같은 모바일 기기를 대상으로 SLC/MLC 통합된 칩을 사용하는 경우와 SLC/MLC 이질적인 칩을 활용하는 경우를 비교하고 있다. 일반적으로 휴대폰과 같은 모바일 임베디드 시스템은 공간/성능 측면에서 유리한 멀티칩 패키지 (Multi-chip Package, 이하 MCP)

방식으로 구성된다.

<그림 3>(a)에서와 같이 SLC/MLC 이질적인 칩을 활용할 경우, MCP를 설계한 후 SLC와 MLC 영역별 크기를 대상 응용의 특징에 맞추어 자유롭게 변경하기 어렵고, 아울러 별개의 SLC 플래시 다이와 MLC 플래시 다이를 결합해야만 하기 때문에 설계가 용이하지 못하다. 반면 <그림 3>(b)에서와 같이 SLC/MLC 통합된 칩을 활용하는 경우 하나의 낸드 다이를 사용하기 때문에 MCP 설계가 용이하고, 또한 대상 응용에 따라 시스템 설계 후반부에 SLC와 MLC 영역을 자유롭게 변경할 수 있기 때문에 설계비용 역시도 크게 줄일 수 있다.

SLC/MLC 이질적인 칩으로 구성된 저장장치에서와 유사하게, SLC/MLC 통합된 칩을 활용한 접근에서도 어느 영역에 데이터를 저장할지를 결정하는 데이터 할당 정책이 중요한 역할을 담당한다. 이와 함께 SLC 영역과 MLC 영역의 크기를 요구 조건에 맞추어 최적으로 분할시킬 수 있는 데이터 분할 기법 (Data Partitioning Policy) 역시도 필요하다.

데이터 할당 정책은 정적 할당 정책과 동적 할당 정책 두 가지가 현재까지 제안되었으며, 해당 데이터 할당 정책에 따라 적합한 분할 정책이 사용되고 있다.



<그림 3> SLC/MLC 이질적인 칩을 활용하는 경우와 통합된 칩을 활용하는 경우 비교

- 정적 데이터 할당 정책 (Static Data Allocation Policy):

정적 데이터 관리 방식은 각 데이터가 저장될 위치를 사전에 고정하는 방식으로, 사용할 응용이 설계 단계에서 미리 결정된 시스템에 적합하다. 일반적으로 <그림 3>에서 보여주는 것과 같이, 소프트웨어 코드와 관련 데이터는 SLC 영역에 저장하고, 사진이나 동영상과 같은 대용량 데이터는 MLC 영역에 저장하는 방식이 사용된다. 이 경우 응용은 SLC 플래시 위에서 동작하기 때문에 빠르게 수행될 수 있으며, 동영상과 같은 데이터를 저장할 수 있는 대용량의 공간도 제공 가능하다<sup>[5]</sup>.

정적 데이터 할당 정책에서는 설치되는 응용의 코드와 그와 관련 데이터의 크기를 바탕으로 쉽게 SLC 영역의 크기를 결정할 수 있다.

- 동적 데이터 할당 정책 (Dynamic Data Management Policy):

정적 데이터 할당 방식의 단점은 동적으로 생성되는 데이터에 대한 효율적인 관리가 힘들다는데 있다. 예를 들어 새로 저장된 데이터의 메타 데이터나 혹은 빈번히 접근되는 데이터의 경우 MLC 영역에 저장하는 것 보다 SLC 영역에 저장하는 것이 전체 시스템 성능 개선을 위해 유리할 것이다.

이를 위해 최근 SLC/MLC 통합된 칩에 최적화된 FTL 기법이 제안되었다<sup>[3]</sup>. 본 기법은 임베디드 시스템에 최적화된 로그 버퍼 기반의 FTL을 기반으로 설계되어 있다<sup>[7]</sup>. 로그 버퍼 기반의 FTL은 소수의 블록을 일종의 로그 기록을 위한 버퍼(로그 버퍼)로 사용하고, 나머지 대다수의 블록은 실제 데이터 저장을 위한 공간으로 활용하는 기법이다. 본 기법은 로그 버퍼 기법

의 기본 골격을 유지하되, 로그 버퍼를 구성하는 블록은 SLC 블록으로, 데이터 블록은 MLC 블록으로 구분한 후, 새롭게 쓰이는 데이터를 SLC 블록에 우선적으로 기록함으로써 전반적인 저장 장치의 응답 시간을 개선시키도록 한다. 또한 빈번하게 저장되지 않는 데이터는 로그 버퍼가 아닌 데이터 블록에 직접 기록함으로써 SLC 블록에 불필요한 데이터가 기록되는 것을 사전에 차단한다.

동적 데이터 할당 정책의 경우 수행되는 응용의 특징에 따라 SLC 혹은 MLC 영역의 크기를 융통성 있게 결정할 필요가 있다. 이는 각 영역의 크기가 전반적인 저장 장치의 성능/공간뿐만 아니라 저자장치의 수명에도 결정적인 역할을 하기 때문이다. 따라서 사용자의 성능/공간/저장장치 수명에 대한 요구 조건 등을 바탕으로 각 작업 부하를 고려한 최적의 영역 분할 정책의 개발이 필요하다.

지금까지 언급한 SLC/MLC 통합된 칩을 활용한 접근 방식은 저장장치 설계의 융통성과 비용 측면에서 SLC/MLC 이질적인 접근 방식에 비해 유리하다. 하지만, SLC 영역과 MLC 영역의 크기가 시스템 설계 단계에서만 지정 가능하고 또한 반드시 SLC/MLC가 통합된 칩을 활용해야 한다는 약점도 가지고 있다.

### 3. MLC 플래시의 융통성 있는 셀 프로그래밍을 활용하는 방식

SLC/MLC 통합된 칩 접근 방식의 단점을 극복하기 위해 최근 MLC 플래시의 융통성 있는 셀 프로그래밍(Flexible Cell Programming, 이하 FCP)을 활용한 접근이 소개되었다<sup>[8]</sup>.

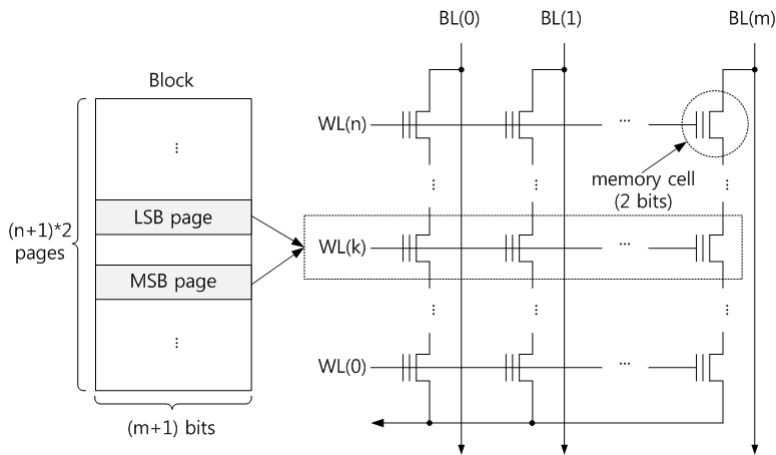
FCP는 MLC 플래시 블록의 특정 페이지를 선택적으로 활용함으로써 해당 메모리 셀을 SLC 셀 혹은 MLC 셀로 융통성 있게 활용할 수 있게 해주는 쓰기 방식을 말한다. FCP 기능을 활용할 경우 데이터 기록 방식에 따라 SLC 혹은 MLC 영역의 크기를 응용 수행 중에도 자유롭게 변경할 수 있다. 또한 현재 시장에 소개된 대부분의 MLC 플래시가 FCP 기능을 지원하기 때문에 특별한 하드웨어 단계의 수정이나 개선이 필요하지 않다.

FCP의 기본적인 동작 방식을 이해하기 위해서는 MLC 플래시 메모리의 전반적인 구조에 대한 이해가 선행되어야만 한다. <그림 4>는 MLC 플래시 메모리 배열을 나타낸다. 동일한 열에 위치한 플로팅 게이트 트랜지스터들은 하나의 워드라인 WL(k)에 연결되어 있으며, 반면 동일한 행에 위치한 플로팅 게이트들은 하나의 비트라인 BL(m)에 연결되어 있다. 동일한 워드라인에 속한 플로팅 게이트들은 하나의 페이지를 구성하게 된다. 페이지 쓰기 연산의 경우 데이터를 기록하려는 페이지의 워드라인을 선택한 후 각 비트라인에 해당 값을 지정함으로써 데이터를 기

록할 수 있다. 반면 읽기 연산의 경우 비트라인에서 각 플로팅 게이트에 저장된 데이터를 읽음으로써 완료된다.

<그림 4>에서 확인할 수 있듯이, MLC 플래시의 경우 LSB 페이지와 MSB 페이지라는 두 개의 페이지가 하나의 워드라인에 속한 플로팅 게이트들을 공유하고 있다. 이는 각 플로팅 게이트가 두 개의 비트 값을 저장할 수 있기 때문이다. 만약 LSB 페이지에 데이터를 기록할 경우 해당 페이지에 속한 메모리 셀의 LSB 비트 값만이 변경된다. 예를 들어 <그림 1>(b)에서 '11' 상태에 있는 셀이 '10' 상태로 변경됨을 나타낸다. 이 경우 MLC 셀의 상태가 <그림 1>(a)의 SLC 셀과 유사하게 동작함을 확인할 수 있다. 즉, LSB 페이지에만 데이터를 기록할 경우 MLC 셀을 마치 SLC 셀과 같이 활용하는 것이 가능함을 나타낸다. (반도체 제조사에 따라 LSB 페이지 대신 MSB 페이지가 활용 될 수 있다.)

<표 2>는 MLC 플래시에서 LSB 페이지만을 사용했을 때의 성능( $MLC_{LSB}$ 로 표기)과, LSB/MSB를 함께 사용했을 때의 성능( $MLC_{BOTH}$ 로 표기), 그리고 실제 SLC 플래시에서의 성능(SLC로 표



<그림 4> MLC 낸드 플래시 메모리 배열

〈표 2〉 SLC 플래시와 MLC 플래시의 성능 비교  
MLC 플래시의 경우 LSB 페이지를 활용한 경우와  
LSB/MSB 페이지를 모두 활용한 경우를 비교함

	SLC	MLCLSB	MLCBOTH
읽기 (페이지)	399 us	409 us	403 us
쓰기 (페이지)	417 us	431 us	994 us
삭제 (블록)	860 us	872 us	872 us

기)을 요약해 보여주고 있다. 읽기 연산의 경우 성능 별 차이가 크지 않으나, 쓰기 연산의 경우 두 배 이상이 차이가 발생함을 확인할 수 있다. 주의해야할 점은 SLC 성능을 위해서는 반드시 LSB 페이지에만 데이터를 기록해야만 한다는 것이다. 따라서 특정 블록을 SLC 블록과 같이 활용하기 위해서는 해당 MLC 블록이 제공할 수 있는 전체 공간 중 절반 만 사용할 수 있다.

이러한 FCP 기능을 효과적으로 활용하기 위해 최근 FlexFS 파일 시스템이 제안되었다<sup>[4]</sup>. FlexFS 파일 시스템은 사용자에게 MLC 플래시의 공간을 보장해주면서도 SLC 플래시의 성능을 제공할 수 있도록 설계되었다. 이러한 목적을 달성하기 위해 FlexFS 요청되는 사용자 데이터의 대부분을 FCP을 이용하여 SLC 영역에 기록하되, 이후 공간이 부족한 경우 이를 MLC 영역에 옮겨 부족한 공간을 보충하는 방식을 사용한다.

이러한 접근 방식은 SLC의 쓰기 성능과 MLC의 공간을 함께 제공할 수 있다는 장점이 있으나 아래와 같은 문제점을 유발한다. 첫 번째는 SLC 영역에서 MLC 영역으로의 데이터 이주 시 사용자로부터 요청되는 I/O가 순간적으로 중단되어야만 하는 문제이고, 두 번째는 SLC 영역에서 MLC 영역으로의 데이터 이주 시 발생하는 부가적인 쓰기 연산으로 인해 플래시 메모리의 수명이 급격히 감소된다는 문제이다. 이러한 문제를

해결하기 위해 FlexFS는 다음과 같은 두 가지 기법을 제안하고 있다.

- 데이터 이주 부하 감소 정책 (Data Migration Overhead Reduction Technique) :

데이터 이주 부하 감소 정책은 가급적 데이터 이주를 유희 시간 내에 처리함으로써 사용자에게 직접적인 성능 저하를 감추는데 초점을 두고 있다. 만약 데이터 이주를 위한 유희 시간이, 기록되는 데이터의 양에 비해 부족할 경우 SLC 영역에 데이터를 기록하는 대신 그 일부를 MLC 영역에 기록함으로써 데이터 이주의 양 자체를 감소시킬 수 있다. 이 경우 SLC 플래시와 동일한 성능 제공은 불가능하나 MLC 플래시 보다는 우수한 성능을 제공해줄 수 있다. 이와 함께 데이터의 지역성을 활용함으로써 SLC 영역에서 MLC 영역으로 이주되는 데이터의 양을 감소시키는 기법 역시도 함께 제안되었다.

- 마모도 관리 기법 (Wear-management Technique) :

SLC 영역에서 MLC 영역으로의 데이터 이주는 추가적인 쓰기 및 삭제 연산을 발생 시키며 따라서 플래시 메모리의 수명을 감소시킬 수 있다. 이러한 문제를 해결하기 위해, 지정된 플래시 수명을 보장할 수 있도록 SLC 영역에 대한 데이터 기록 양을 제한하는 기법이 제안되었다. 예를 들어 SLC 영역에 기록된 모든 데이터를 MLC 영역에 이주 시킬 만큼 충분한 유희 시간이 존재한다 하더라도, 데이터 이주로 인한 과도한 메모리 셀 마모로 저장장치의 수명이 예상 보다 낮게 예측될 경우, 요청된 데이터 중 일부를 MLC 영역에 기록함으로써 이주 부하를 감소시키고 이와 함께 플래시의 수명을 증가 시킬 수 있다.



MLC 플래시의 FCP 기능을 활용한 접근은 시스템 동작 중에도 각 영역별 크기를 동적으로 변경할 수 있으며, 또한 이를 위해 특별한 하드웨어 기능이 요구되지 않는다는 장점이 있다. 따라서 저장장치의 설계에 따른 추가적인 비용이 전혀 들지 않으며, 작업 부하에 맞추어 최적의 설정을 유지할 수 있다.

하지만 기본적으로 MLC 플래시에 기반을 두고 있고, 또한 데이터 이주에 따른 부하로 저장장치의 내구성 손상이 크기 때문에 그에 대한 대안이 필요한 상태이다.

#### IV. 결 론

향후 낸드 플래시 메모리 시장은 고집적의 MLC 플래시 개발에 초점을 두고 성장할 것으로 예상된다<sup>[9]</sup>. MLC 플래시는 저장장치의 공간을 혁신적으로 증가시키나, SLC 플래시에 비해 매우 낮은 성능을 제공한다는 단점을 지니고 있다. 이러한 문제를 해결하기 위한 대안으로 SLC/MLC 이중 저장장치에 대한 기술은 앞으로 많은 주목을 받을 것이라 판단된다.

SLC/MLC 이질적인 칩을 이용한 저장장치는 소수의 SLC 플래시 칩과 다수의 MLC 플래시 칩을 하나의 저장 장치 내에 통합하여 고성능/고용량을 제공하는 접근으로, SSD와 같은 데스크톱 혹은 서버 향 저장장치에서 최근 그 활용이 증가하고 있다<sup>[10]</sup>.

SLC/MLC 통합된 칩을 통한 저장장치 구성은 모바일 임베디드 시스템과 같은 MCP 방식의 설계에 적합하고, 특히 설계 과정 후반부에서의 최적화가 가능하기 때문에, 휴대폰과 같은 제품을 대상으로 그 활용이 점차 확산될 것으로 예상된다.

마지막으로 MLC 플래시의 FCP를 활용한 방식은 추가적인 하드웨어 비용이 들지 않고, 거의 모든 MLC 칩에서 활용가능하다는 측면에서 장점을 가지고 있으며, 또한 응용 수행 중 SLC/MLC 영역을 동적으로 조절할 수 있기 때문에 저장장치의 응답 시간 뿐만 아니라 전반적인 처리량 역시도 크게 개선시킬 수 있다.

#### 참고문헌

- [1] Super Talent Technology Corp., "SLC vs. MLC: An Analysis of Flash Memory," [http://www.supertalent.com/datasheets/SLC\\_vs\\_MLC\\_whitepaper.pdf](http://www.supertalent.com/datasheets/SLC_vs_MLC_whitepaper.pdf).
- [2] L.P. Chang, "Hybrid Solid-State Disks: Combining Heterogeneous NAND Flash in Large SSDs," In Proceedings of the Conference on Asia and South Pacific Design Automation (ASP-DAC '08), January, 2008.
- [3] S. Im and D. Shin, "Storage Architecture and Software Support for SLC/MLC Combined Flash Memory," In Proceedings of 24th ACM Symposium on Applied Computing (SAC'09), Honolulu, Hawaii, Mar., 2009.
- [4] S. Lee, K. Ha, K. Zhang, J. Kim, and J. Kim, "FlexFS: A Flexible Flash File System for MLC NAND Flash Memory," In Proceedings of the USENIX Annual Technical Conference (USENIX '09), San Diego, USA, June 14-19, 2009.
- [5] Samsung Electronics Corp., "Flex-

- OneNAND Specification,” [http://www.samsung.com/global/system/business/semiconductor/product/2008/2/25/867322ds\\_kfxxgh6x4m\\_rev10.pdf](http://www.samsung.com/global/system/business/semiconductor/product/2008/2/25/867322ds_kfxxgh6x4m_rev10.pdf).
- [6] Toshiba Corp., “New Toshiba mobileLBA-NAND Memory Chips for Mobile Phones Support Both SLC and MLC Memory Areas,” [http://www.toshiba.com/taec/news/press\\_releases/2007/memory\\_07\\_482.jsp](http://www.toshiba.com/taec/news/press_releases/2007/memory_07_482.jsp).
- [7] J. Kim, J. M. Kim, S. H. Noh, S. L. Min, and Y. Cho., “A Space-efficient Flash Translation Layer for Compact Flash Systems,” *IEEE Transactions on Consumer Electronics*, Vol.48, No.2, pp.366-375, 2002.
- [8] F. Roohparvar, “Single Level Cell Programming in a Multiple Level Cell Non-volatile Memory Device,” In *United States Patent*, No.11/298,013, 2007.
- [9] Samsung Electronics Corp., “Samsung Announces Industry’s First Production of 30-nm-class, 3-bit Multi-Level-Cell NAND Chips,” <http://www.nizform.com/news/view.htm?nc1=A14&nc2=A14B17&key=112076>.
- [10] DigiCube Technology Co, Ltd., “<http://www.digicube.com.tw/>”

## 저자소개



이 성 진

2005년 2월 고려대학교 전자공학 학사  
 2007년 8월 서울대학교 컴퓨터공학 석사  
 2007년 9월~현재 서울대학교 컴퓨터공학 박사 과정  
 1999년 10월~2002년 12월 (주) 브리지텍, 소프트웨어 엔지니어  
 1999년 3월~1999년 10월 (주) 아이디 글로벌, 소프트웨어 엔지니어  
 주관심 분야 : 저장장치 시스템, 임베디드 시스템, 컴퓨터 아키텍처



김 지 홍

1986년 2월 서울대학교 계산통계학 학사  
 1988년 4월 Univ. of Washington 전산과학 석사  
 1995년 11월 Univ. of Washington 전산과학 및 공학 박사  
 1995년 12월~1997년 8월 Texas Instrument, Inc. 선임 연구원  
 1997년 9월~2002년 3월 서울대학교 조교수  
 2002년 4월~2007년 3월 서울대학교 부교수  
 2007년 4월~현재 서울대학교 교수  
 주관심 분야 : 컴퓨터 아키텍처, 임베디드 시스템, 플래시 저장장치, 저전력 시스템, 하드웨어/소프트웨어 동시 설계